

## ⑫ 公開特許公報 (A)

平1-241858

⑤ Int. Cl.  
H 01 L 27/04識別記号  
C-7514-5F

⑬ 公開 平成1年(1989)9月26日

審査請求 未請求 請求項の数 2 (全4頁)

④ 発明の名称 MIS型容量素子

⑫ 特願 昭63-70064

⑫ 出願 昭63(1988)3月24日

⑦ 発明者 林 敬治	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑦ 発明者 秋山 一男	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑦ 発明者 玉川 信行	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑦ 出願人 松下電子工業株式会社	大阪府門真市大字門真1006番地	
⑦ 代理人 弁理士 中尾 敏男	外1名	

## 明細書

## 1、発明の名称

MIS型容量素子

## 2、特許請求の範囲

(1) 半導体基板内に金属-絶縁膜-半導体構造の第1容量および第2容量を作り込み、前記第1容量の金属電極を第2容量の半導体側電極と接続し、さらに、第1容量の半導体側電極を第2容量の金属電極と接続して複合化したことを特徴とするMIS型容量素子。

(2) 第1容量と第2容量が同一形状に設定されていることを特徴とする特許請求の範囲第1項に記載のMIS型容量素子。

## 3、発明の詳細な説明

## 産業上の利用分野

本発明は半導体集積回路、特にリニア回路等で用いられる対称な回路形式の下で使用するのに好適なMIS形半導体容量素子に関するものである。

## 従来の技術

半導体集積回路内へ集積化される容量素子の一

つとして、MIS形容量素子が知られている。

第3図は、バイポーラ形半導体集積回路内に作り込まれるMIS形容量素子の構造を示す図であり、P型シリコン基板1の上に形成したN型エピタキシャル層をP<sup>+</sup>型絶縁分離領域2で島状に分離して形成したN型エピタキシャル島領域3の中に、この領域よりも不純物濃度の高いN型拡散領域4ならびに高不純物濃度のN型コンタクト拡散領域5を作り込み、さらに、N型拡散領域4の表面を覆う二酸化シリコン膜6の上に一方の電極となる金属膜7を形成するとともに、N型コンタクト拡散領域5に他方の電極となる金属膜8を付設した構造となっている。なお、9は高不純物濃度のN型埋込領域である。このMIS形容量素子では二酸化シリコン膜6を誘電体層とする容量が形成される。

## 発明が解決しようとする課題

このような構造のMIS形容量素子では、電極8の側にN型拡散領域4によって付与される直列抵抗とP型基板5との間に形成されるPN接合に

よって付与される接合容量が付加されて非対称性を示す。このため、リニア回路で使用される対称な回路にこの構造のMIS型容量素子を用いるとき、回路の対称性が損われ、回路の性能が極端に悪くなる問題があった。また、通常のMOS集積回路内に作り込まれるMIS型容量素子では、接合容量の付加はないが、直列抵抗は依然として付加されるため同様の問題があった。

#### 課題を解決するための手段

本発明は、上記の問題の排除を意図してなされたもので、本発明のMIS型容量素子は、半導体基板内にMIS型の第1容量および第2容量を作り込み、第1容量の金属電極を第2容量の半導体側電極と接続し、さらに第1容量の半導体電極を第2容量の金属電極に接続した複合構造となっている。

#### 作用

この構造によれば、MIS型容量素子の両電極に直列抵抗、接合容量等が付加される。

#### 実施例

並列接続された複合型のMIS型容量素子が実現される。

第2図は、第1図で示したMIS型容量素子の等価回路図であり、端子(金属層)13には、第1容量によってもたらされる直列抵抗R<sub>1</sub>と接合容量C<sub>j1</sub>が付加され、一方、端子(金属層)12には、第2容量によってもたらされる直列抵抗R<sub>2</sub>と接合容量C<sub>j2</sub>が付加されたものとなる。したがって、端子12と13の対称性が著しく向上する。特に、第1容量と第2容量の寸法を等しく設定し、両容量素子の形状を対称とするならば、端子12と13の対称性はほぼ完全に近いものとなる。

以上の説明ではバイポーラ集積回路内に作り込まれたMIS型容量素子を例示したが、MOS集積回路内へ作り込む場合でも同様の構成とすればよい。この場合には、直列抵抗に起因する対称性の低下が阻止される。

#### 発明の効果

本発明によれば、電極の対称性を高めたMIS

以下に図面を参照して本発明のMIS型容量素子について詳しく説明する。

第1図は、バイポーラ集積回路内に作り込まれた本発明のMIS型容量素子の形状を示す平面図であり、2個のMIS型容量素子C<sub>1</sub>とC<sub>2</sub>が並設されている。これらのMIS型容量素子C<sub>1</sub>、C<sub>2</sub>のX-X線およびY-Y線に沿った断面構造は、第3図で示した構造と同じである。ところで、本発明のMIS型容量素子では、第1容量C<sub>1</sub>と第2容量C<sub>2</sub>の周囲はP<sup>+</sup>型絶縁分離領域2によって包囲され、互いに分離されているが、容量形成域10と11の上に位置し、第1容量および第2容量の各一方の電極となる金属層12と13の一部が、第2容量および第1容量の側にまで延び、金属層12が第2容量の半導体側電極窓14内の半導体基板面(コンタクト拡散領域面)に接続され、一方、金属層13が第1容量の半導体側電極窓16内の半導体基板面に接続された複合構造となっている。この構造によれば、金属層12と13を端子とし、この間に第1容量C<sub>1</sub>と第2容量C<sub>2</sub>が

型容量素子が実現され、対称な回路にこのMIS型容量素子を用いるならば、回路性能の悪化を防ぐことができる。また、本発明のMIS型容量素子は、集積回路の基本プロセスに変更をもたらすことなく、マスクの変更のみで実現可能な構造であるため、これの作り込みで作業性が損われるおそれもない。

#### 4. 図面の簡単な説明

第1図は本発明のMIS型容量素子の形状を示す平面図、第2図は第1図で示すMIS型容量素子の等価回路図、第3図はバイポーラ集積回路内に作り込まれた従来のMIS型容量素子の断面構造図である。

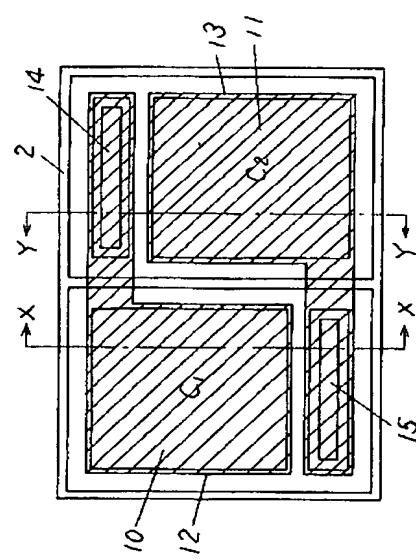
1 …… P型シリコン基板、2 …… P<sup>+</sup>型絶縁分離領域、3 …… N型エピタキシャル島領域、4 …… N型拡散領域、5 …… N型コンタクト拡散領域、6 …… 二酸化シリコン膜、7、8 …… 金属層、9 …… N<sup>+</sup>型埋込領域、10、11 …… 容量形成域、12、13 …… 金属層(端子)、14、15 …… 半導体側電極窓、R<sub>1</sub>、R<sub>2</sub> …… 直列抵抗、C<sub>j1</sub>、

$C_{j2}$  ……接合容量。

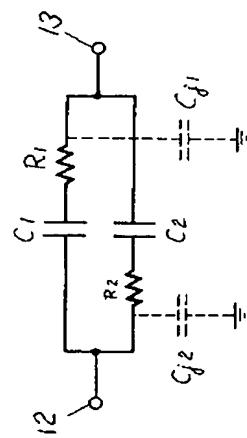
代理人の氏名 弁理士 中 尾 敏 男 ほか1名

2 —  $P^+$ 型絶縁分離領域  
 10/11 — 容量形成域  
 12/13 — 金属層(端子)  
 14/15 — 半導体側電極

第 1 図



第 2 図



1 --- P型シリコン基板  
2 --- P型絶縁分離領域  
3 --- N型エピタキシャル島領域  
4 --- N型抜散領域  
5 --- N型コンタクト抜散領域  
6 --- 二酸化シリコン膜  
7,8 --- 金属層  
9 --- パッケージ

第 3 図

